

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Tatsuji NAGAOKA

Serial No.: 10/781,360

Filed: February 18, 2004



Group Art Unit:

Examiner:

For: MIS-TYPE SEMICONDUCTOR DEVICE

**Certificate of Mailing**

I hereby certify that this paper is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on:

Date: 02/27/04

By: [Signature]  
Marc A. Rossi

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2003 - 063161	March 10, 2003
JAPAN 2003 - 197644	July 16, 2003

In support of this claim, certified copies of said original foreign applications are filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

02/27/04  
Date

[Signature]  
Marc A. Rossi  
Registration No. 31,923

Attorney Docket: FUJI:283

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 3月10日

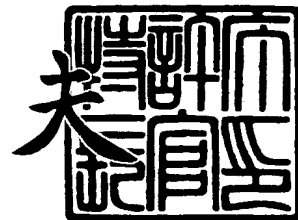
出願番号  
Application Number: 特願2003-063161  
[ST. 10/C]: [JP2003-063161]

出願人  
Applicant(s): 富士電機デバイステクノロジー株式会社

2004年 2月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号 出証特2003-3104452

【書類名】 特許願

【整理番号】 02P01498

【提出日】 平成15年 3月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社  
会社内

【氏名】 永岡 達司

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 M I S 型半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、該ドリフト領域のゲート電極に近い側に層間絶縁膜より薄い絶縁膜が設けられ、該薄い絶縁膜上にソース電極と接続されたフィールドプレートを形成することを特徴とする M I S 型半導体装置。

【請求項 2】 前記フィールドプレート下の絶縁膜で最も薄い箇所の膜厚がゲート絶縁膜の膜厚以上で、 $V_b/E_c$  ( $V_b$ : 素子耐圧 (V)、 $E_c$ :  $5 \times 10^5$  (V/cm)) 以下とすることを特徴とする請求項 1 に記載の M I S 型半導体装置。

【請求項 3】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、ゲート絶縁膜と接するベース領域の不純物濃度のピークがソース領域よりドリフト領域に近い側にあることを特徴とする M I S 型半導体装置。

【請求項 4】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、ゲート電極下のベース領域で、ソース領域とドリフト領域の中間位置に第 2 導電型の高濃度領域を設け、ドリフト領域からベース領域に伸びる空乏層が前記高濃度領域に到達するように該高濃度領域を配置することを特徴とする M I S 型半導体装置。

【請求項 5】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、ゲート電極下のベース領域に第 2 導電型の高濃度領域を設け、該高濃度領域の端部をゲート絶縁膜と基板との界面から  $2.5 \mu\text{m}$  以内、ドリフト領域から  $5.6 \mu\text{m}$  以内とすることを特徴とする M I S 型半導体装置。

【請求項 6】 前記高濃度領域の端部をゲート絶縁膜と基板との界面から  $1 \mu\text{m}$  以内とすることを特徴とする請求項 5 に記載の M I S 型半導体装置。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、金属（M）－絶縁膜（I）－半導体（S）のゲート構造をもつMIS型半導体装置、特に低オン抵抗と高速スイッチングが要求されるパワーMOSFETに代表されるMIS型半導体装置に関する。

## 【0002】

## 【従来の技術】

MIS型半導体装置の特性改善のポイントとしては、ゲートしきい値電圧の適正化、チャネル抵抗の低減化、遮断電流の増大化、もれ電流の低減化、アバランシェ耐量の増大化、スイッチング損失の低減化などが挙げられ、これらの特性の改善は鋭意行われている。つぎに、これらの特性改善を図った例について説明する。

MIS型半導体装置において、短チャネル時のしきい値の低下を抑え、ゲート加工のばらつきによるしきい値のばらつきを低減し、高い移動度を持つMIS型半導体装置として、図13の構造が知られている（例えば、特許文献1）。

## 【0003】

この構造では、チャネル領域の表面層を表面低濃度層105とする。そして表面低濃度層105よりも高濃度な埋込領域106、107を内部に設ける。この埋め込み領域106、107は、表面低濃度層105が反転層形成時に基板表面から広がる空乏層の深さよりも浅く設ける。高濃度埋込領域のうちチャネルの端からチャネル領域へ一定距離 $L_p$ だけ突出した高濃度埋込領域107の濃度をチャネル中央部の高濃度埋込領域106よりも高濃度とする。この構造では、チャネル長が短くなることによるしきい値の低下は、一定距離 $L_p$ の高濃度埋込領域107の割合が大きくなることによるしきい値の上昇によりほぼ相殺される。チャネルが形成される表面低濃度層105は低濃度であるので、高移動度を達成することができる。尚、図中の101はシリコン基板、102は素子分離絶縁膜、103はゲート電極、104はソース、ドレイン、108は層間絶縁膜、110はアルミ配線層、111はゲート絶縁膜である。

## 【0004】

また、図 14 に示すように、トレンチにゲート電極が埋め込まれた形の SiC (炭化けい素) トレンチ MOSFET において、可制御電流の増大、アバランシェ耐量の増大と、オン抵抗の低減を図ることができる MOSFET について知られている (例えば、特許文献 2)。

この構造では、MOSFET のトレンチ 215 近傍を除く p ベース層 213 内に、p ベース層 213 より不純物濃度の高い p<sup>+</sup> 埋め込み領域 220 を形成することによって、p ベース層 213 の実質的な抵抗を下げ、可制御電流を増大させる。また、トレンチ 215 の底部より下方に p<sup>+</sup> 埋め込み層 (図示せず) を形成することによって、電圧印加時の空乏層の広がりを促し、ゲート絶縁膜の絶縁破壊を防止し、アバランシェ耐量を向上させる。尚、図中の 211 は n<sup>+</sup> サブストレート、212 は n ドリフト層、214 は n ソース層、216 はゲート酸化膜、217 はゲート電極、218 はソース電極、219 はドレイン電極、220 は p<sup>+</sup> 埋め込み領域である。

#### 【0005】

また、図 15 に示すように、リーク電流を抑制した MOSFET の構造も知られている (例えば、特許文献 3)。

この構造では、MOSFET の濃いドレイン領域 302、薄いドレイン領域 303 の下部にドレイン領域と異なる極性で且つ MOSFET のウェル領域よりも不純物濃度が高い不純物領域 315 を形成し、ドレイン領域 302、303 とウェル領域 301 間の空乏層のウェル領域 301 側への広がりを抑制することができる。特に、薄いドレイン領域 303 下部における空乏層のウェル領域 301 側への広がりを抑制できるため、チャネルよりも深い領域を通して流れる電流を抑制することに対する効果が大きい。尚、図中の 304 は濃いソース領域、305 は薄いソース領域、306 はゲート電極、307 はゲート酸化膜、308 はフィールド酸化膜、309 はフィールドドープド領域、310 は層間絶縁膜、311 は保護膜、312 はドレイン配線、313 はソース配線である。

#### 【0006】

つぎに、MIS 型半導体装置のスイッチング損失の低減化について説明する。MIS 型半導体装置のスイッチング特性には帰還容量が強く影響し、特にスイッ

チング時のエネルギー損失を小さくするためには、帰還容量を低減すると良いことが知られている。そのため、従来のMIS型半導体装置ではゲート電極とドリフト領域の重なり面積を極力小さくするようにして、ゲートドレイン間の容量つまりは帰還容量を低減する工夫が必要となる。尚、帰還容量はゲート電極下のゲート絶縁膜と半導体基板との界面に広がった空乏層領域（断面図では距離）が大きくなると大きくなる。

#### 【0007】

##### 【特許文献1】

特開平6-29522号公報 図1

##### 【特許文献2】

特開平9-36359号公報 図1

##### 【特許文献3】

特開2002-9283号公報 図1

#### 【0008】

##### 【発明が解決しようとする課題】

通常、ドリフト領域は拡散によって形成されるので、ベース領域とドリフト領域の境界付近ではドナーとアクセプターが相互に補償し合い、実効的な不純物濃度が低下している。したがって、ゲート電極とドリフト領域との重なり面積を小さくして行くと、最終的にはドリフト領域の低濃度部分のみがゲート電極と重なるようになり、この低濃度部分のドリフト抵抗が増大してオン抵抗の増大を招く。さらにパターンの合わせ精度が悪いと、ドリフト領域とゲート電極が重ならなくなり、チャンネルとドリフト領域の接続が途切れてしまい、導通しなくなる場合もある。

#### 【0009】

この発明の目的は、前記の課題を解決して、ゲート電極とドリフト領域の十分な重なり面積を確保して低オン抵抗化を図り、且つ、低帰還容量化して低スイッチング損失化を図ることができるMIS型半導体装置を提供することにある。

#### 【0010】

##### 【課題を解決するための手段】

前記の目的を達成するために、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、該ドリフト領域のゲート電極に近い側に層間絶縁膜より薄い絶縁膜が設けられ、該薄い絶縁膜上にソース電極と接続されたフィールドプレートを備える構成とする。

また、前記フィールドプレート下の絶縁膜で最も薄い箇所の膜厚がゲート絶縁膜の膜厚以上で、 $V_b/E_c$  ( $V_b$ : 素子耐圧 (V)、 $E_c$ :  $5 \times 10^5$  (V/cm)) 以下とするとよい。

#### 【0011】

また、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、ゲート絶縁膜と接するベース領域の不純物濃度のピークがソース領域よりドリフト領域に近い側にある構成とする。

また、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、ゲート電極下のベース領域で、ソース領域とドリフト領域の中間位置に第2導電型の高濃度領域を設け、ドリフト領域からベース領域に伸びる空乏層が前記高濃度領域に到達するように該高濃度領域を配置する構成とする。

#### 【0012】

また、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、ゲート電極下のベース領域に第2導電型の高濃度領域を設け、該高濃度領域の端部をゲート絶縁膜と基板との界面から  $2.5 \mu\text{m}$  以内、ドリフト領域から  $5.6 \mu\text{m}$  以内とする。

また、前記高濃度領域の端部をゲート絶縁膜と基板との界面から  $1 \mu\text{m}$  以内とするとよい。

#### 〔作用〕

従来の技術は、単純にゲート電極とドリフト領域の重なり面積を小さくして、それらの間の容量を省いているのに過ぎない。しかしながら、帰還容量に寄与するのは物理的にゲート電極とドリフト領域が重なっている部分の容量だけでない。即ち、オフ状態でベース領域に広がる空乏層がゲート電極にかかる部分の容量



も一緒に含まれるのである。よって、帰還容量を低減するためには、ゲート電極とドリフト領域の重なり面積を小さくすると同時に、オフ時に空乏層がゲート電極下に広がらないようにする必要がある。実際に、発明者はゲート電極下への空乏層の張り出しを抑えることで、スイッチング時にゲートドレイン間に蓄積される電荷量が減少することをシミュレーションにより確認している。

#### 【0013】

オフ時に空乏層がゲート電極下に広がらないようにするためには、ドリフト領域とベース領域の境界近くに非空乏化領域として残るような高濃度領域を設け、空乏層のストッパとして働かせることが効果的である。

この高濃度領域からゲート酸化膜までの距離  $d_g$  が長すぎるとゲート電極下のベース領域にも空乏層が広がり、帰還容量を大きくするため、この距離  $d_g$  を所定の大きさ以下 ( $2.5 \mu\text{m}$  以下、好ましくは  $1 \mu\text{m}$  以下) とする必要がある。

また高濃度領域からドリフト領域までの最小距離  $x$  が大きすぎると空乏層が高濃度領域に達せずストッパの働きをしなくなり、ゲート電極下のベース領域に広く空乏層が入り込み帰還容量を増大させる。そのため、この距離  $x$  を空乏層の伸びを抑える範囲にする必要がある。この距離  $x$  は  $5.6 \mu\text{m}$  以下とするとよい。

#### 【0014】

また、ベース領域のゲート絶縁膜との界面近傍の不純物濃度分布でドリフト領域に近い側にピーク濃度を位置させることで、ドリフト領域側からソース側に伸びる空乏層の伸びを抑制できる。空乏層の伸びを抑制することで、帰還容量を低減できる。このピーク濃度は適正なゲートしきい値電圧になるように決めるとよい。

また、フィールドプレート下の絶縁膜の最小膜厚をゲート絶縁膜以上で、 $V_b/E_c$  以下とすることで、素子耐圧をゲート耐圧以上で、また、素子耐圧でフィールドプレート下のドリフト領域とベース領域に伸びる空乏層を効果的に広げることができて、耐圧を確実に確保できる。

#### 【0015】

このようにドリフト領域に隣接して、絶縁膜を介したフィールドプレートを設定した場合についてさらに説明する。絶縁膜が厚すぎるとフィールドプレートによ

り空乏層の広がり制御する効果が薄れるので、適切な厚さを選ぶ必要がある。例えば、オフ状態でドレインソース間に逆方向電圧を徐々に印加したときに、フィールドプレートの効果で電位分布に変化が生じているとすれば、大抵の場合、その影響を最も強く受けている半導体基板表面付近のどこかで、最初に臨界電界強度  $E_c$  に達する。したがって、このときの絶縁膜中での電界もおおよそ  $E_c$  程度ぐらいに見積もられ、且つ、絶縁膜で耐圧  $V_b$  程度を維持することを考えれば、大雑把には絶縁膜の厚さを  $V_b/E_c$  と同程度かそれよりも薄くすることで、フィールドプレートによる空乏層の広がり制御効果が期待できる。絶縁膜の厚さは必ずしも均一にする必要はなく、特にドリフト領域に隣接する広い範囲にわたって薄い絶縁膜を介してフィールドプレートを設けると、半導体基板表面での電位変化が急になりすぎて、耐圧を落とすことも考えられる。ドリフト領域に隣接して薄い絶縁膜上にフィールドプレートを設ける主な目的は、ゲート絶縁膜近傍での電界緩和であり、フィールドプレート下の絶縁膜がゲート電極の近傍のみで薄くなるような構造にすると効果がある。さらにフィールドプレートをソース電極と電氣的に接続すれば、フィールドプレートの電位がソース電位に固定され、安定してその役割を発揮する。

#### 【0016】

フィールドプレートを備えていると、ドリフト領域側で空乏層が広がりやすくなるので、その分、ドリフト領域の不純物濃度を高めて、容易に耐圧を維持しながらオン抵抗を低減することができる。

フィールドプレート下の絶縁膜は、どのような物質であってもよいが、酸化膜を用いると例えば熱酸化のような比較的簡単な工程で安定した絶縁膜を形成することが可能である。

#### 【0017】

##### 【発明の実施の形態】

以下に本発明の実施形態を説明する。以下で  $n$  または  $p$  を冠記した領域では、それぞれ電子、正孔が多数キャリアであることを意味している。上付き文字の  $+$  は比較的高不純物濃度の、 $-$  は比較的低不純物濃度であることを示している。また、すべての実施例において第1導電型を  $n$  型に、第2導電型を  $p$  型に規定して

いるが、これが逆の場合であっても実施形態は同様である。

〔実施例 1〕

図 1 は、この発明の第 1 実施例の M I S 型半導体装置の要部構成であり、同図 (a) は要部平面図、同図 (b) は同図 (a) の X-X 線で切断した要部断面図である。これらの図は横型プレーナ M O S F E T の場合であり、同図 (b) はハーフセルの部分断面図である。

【0018】

p- 基板 14 上にエピタキシャル成長で p 層を形成し、この p 層の表面層に p+ 拡散領域を形成し、その上に p 層を再度形成して、p 層で形成された p ベース領域 3 内に埋め込み層である p+ ストップ領域 11 を形成する。p ベース領域 3 の表面にゲート絶縁膜 7 とその上にポリシリコンのゲート電極 8 を形成する。このゲート電極 8 をマスクとして、n ドリフト領域 1 と n+ ソース領域 5 を形成し、n ドリフト領域 1 の表面層に n+ ドレイン領域 9、p ベース領域 3 の表面層に p+ コンタクト領域 4 を形成する。この n+ ソース領域 5 の形成は、拡散係数の大きいリンを低濃度で深く拡散し、その後、拡散係数の小さな砒素を浅く拡散している。これは図 1 (b) の A-A 断面である図 2 (a) に示すように、ゲート絶縁膜 7 下の p ベース領域 3 をリンで補償して、ゲート絶縁膜 7 下の p ベース領域 3 の不純物濃度のピーク位置 P を n ドリフト領域 1 に近い側に位置させるためである。

【0019】

ゲート電極 8 と n+ ドレイン領域 9 に挟まれた n ドリフト領域 1 上に例えば酸化膜 12 などの絶縁膜を、ゲート電極 8 側が薄く、n+ ドレイン領域 9 側が厚くなるように形成する。そして、その酸化膜 12 上にフィールドプレート 13 を形成する。さらに n+ ドレイン領域 9 上にドレイン電極 10 を形成し、n+ ソース領域 5 上と p+ コンタクト領域 4 上にソース電極 6 を形成する。このソース電極 6 とフィールドプレート 13 を電氣的に接続する。

ここで、ゲート絶縁膜 7 と p+ ストップ領域 11 の間隔  $d_g$  を  $2.5 \mu\text{m}$  以下とし、好ましくは  $1 \mu\text{m}$  以下とする。また n ドリフト領域 1 と p+ ストップ領域 11 の最小間隔  $x$  を  $5.6 \mu\text{m}$  以下とする。また、酸化膜 12 のゲート電極 8 に

近い側の薄い部分の厚さをゲート絶縁膜 7 の厚さ以上とし、 $V_b/E_c$  以下とする。ここで  $V_b$  は素子耐圧 (V) で  $E_c$  はシリコンの臨界絶縁破壊強度 (V/cm) である。例えば、素子耐圧が 30 V の場合に酸化膜の薄い部分の厚さは 0.6  $\mu\text{m}$  以下とする。また、p ベース領域 3 のゲート絶縁膜 7 との界面近傍の不純物濃度のピーク位置 P が n ドリフト領域 1 に近い側にあるとよい。

#### 【0020】

前記の数値の根拠は、ゲート絶縁膜 7 と p<sup>+</sup> ストップ領域 11 の間隔  $d_g$  が 2.5  $\mu\text{m}$  を超えるとゲート電極 8 下の p ベース領域 3 の奥まで空乏層が広がるようになり、帰還容量が増大する。また、この間隔  $d_g$  が小さい程、ゲート電極 8 下の p ベース領域 3 に空乏層が広がりにくくなり、帰還容量が小さくなるので好ましく、30 V 程度の素子ではこの間隔  $d_g$  は 1  $\mu\text{m}$  以下がよい。これらのことをさらに説明する。

図 11 は、距離  $d_g$  と  $L/L_{\text{bulk}} \times 100$  (%) の関係を示す図である。距離  $d_g$  は p<sup>+</sup> ストップ領域 11 からゲート絶縁膜 7 までの距離である。また  $L$  は p<sup>+</sup> ストップ領域 11 がある場合の距離  $d_g$  で、ゲート絶縁膜 7 との界面での空乏層の伸び (0 V の等電位線の n ドリフト領域からの距離)、 $L_{\text{bulk}}$  は p<sup>+</sup> ストップ領域 11 がない場合のゲート絶縁膜 7 との境界での空乏層の伸び (0 V の等電位線の n ドリフト領域からの距離) で、それぞれのバイアス電圧が同じときの値を比較したものである。この  $L/L_{\text{bulk}} \times 100\%$  が、100% ということは、空乏層の伸びが p<sup>+</sup> ストップ領域 11 の影響を受けないことを意味する。また、 $L$  が大きくなると帰還容量が増大する。

#### 【0021】

ここでは、p<sup>+</sup> ストップ領域 11 の不純物濃度が  $1 \times 10^{21} \text{ cm}^{-3}$  で、p ベース領域の不純物濃度が  $1 \times 10^{15} \text{ cm}^{-3}$  で、n ドリフト領域 1 の不純物濃度が  $1 \times 10^{19} \text{ cm}^{-3}$  で、p<sup>+</sup> ストップ領域 11 と n ドリフト領域 1 が接触した場合を示している。図 11 から、距離  $d_g$  が 2.5  $\mu\text{m}$  で空乏層の伸びが p<sup>+</sup> ストップ領域 11 に影響されなくなるので、距離  $d_g$  は 2.5  $\mu\text{m}$  を超す長さにする必要はない。また、30 V 程度の素子の場合空乏層の伸びが p<sup>+</sup> ストップ領域 11 の影響を受けない距離  $d_g$  は 1  $\mu\text{m}$  程度となるので、距離  $d_g$  を 1  $\mu\text{m}$  を超す長

さにする必要はない。

#### 【0022】

また、p ベース領域 3 の不純物濃度を  $1 \times 10^{15} \text{ cm}^{-3}$ 、n ドリフト領域 1 の不純物濃度を  $1 \times 10^{19} \text{ cm}^{-3}$  と極端に高くした場合、図 12 に電界強度で示すように、n ドリフト領域 1 と p<sup>+</sup> ストップ領域 11 の間隔 x が  $5.6 \mu\text{m}$  を超えると n ドリフト領域 1 端から p ベース領域 3 に広がる空乏層が p<sup>+</sup> ストップ領域 11 に達しなくなる。そのため、通常、n ドリフト領域 1 の不純物濃度が低いために、n ドリフト領域 1 内にも空乏層が広がり、p ベース領域 3 に広がる空乏層は狭くなる。そのため、間隔 x は  $5.6 \mu\text{m}$  以下とすると好ましい。一方、この間隔 x が小さい程、空乏層はゲート電極 8 下の p ベース領域 3 には広がりにくくなる。そのため、n ドリフト領域 1 と p<sup>+</sup> ストップ領域 11 が接触した状態が最も帰還容量が小さくなり好ましい。

#### 【0023】

また、ゲート電極 8 側の最も薄い酸化膜の膜厚  $t_{\text{min}}$  をゲート絶縁膜 7 の膜厚未満とすると素子耐圧がゲート耐圧より低くなり好ましくない。また、 $V_b / E_c$  を超えると、膜厚  $t_{\text{min}}$  が必要以上に厚くなりすぎて、フィールドプレートの働きが弱くなり好ましくない。

また、p ベース領域 3 のゲート絶縁膜 7 との界面近傍の不純物濃度のピーク位置 P が n ソース領域 5 に近い側にあると、n ドリフト領域 1 からゲート絶縁膜 7 との界面近傍の p ベース領域 3 に広がる空乏層が n ソース領域 5 側まで広がり、帰還容量を大きくしてしまう。そのため n ドリフト領域 1 に近い側に有る方がよい。

#### 【0024】

前記の内容をさらに説明する。ゲート電極 8 下には空乏層ストップ 11 が設けられて空乏層が広がらないようにしている。また、図 1 (b) において、p ベース領域 3 表面のチャネルが形成される A-A 断面における不純物濃度分布は図 2 (a) のようになっており、n<sup>+</sup> ソース領域 5 よりも n ドリフト領域 1 に近いところ (ピーク位置 P) に不純物濃度の極大値が存在している (尚、これ以降の実施例においても、A-A と表記した断面における不純物濃度分布は図 2 (a) と

同様である)。

これにより、しきい値の制御をしながら空乏層がゲート電極 8 下に張り出しにくくしている。さらに、n ドリフト領域 1 の表面には酸化膜 12 を介してフィールドプレート 13 を設け、ソース電位に固定している。ゲート電極 8 近くでこの酸化膜 12 を薄くすると、フィールドプレート 13 の電位に引っ張られて、ゲート絶縁膜 7 付近の電界を緩和して耐圧を確保する。

#### 【0025】

さらに、図 1 (b) の B-B 断面における n ドリフト領域 1 の不純物濃度分布を図 2 (b) のように、n ドリフト領域 1 の表面側で、不純物濃度を高くすると、オン抵抗を低減できる。この不純物濃度プロファイルは、半導体基板表面に 1 回のイオン注入を行った後に熱拡散をすれば、n ドリフト領域 1 の表面の不純物濃度を高くすることができる。

前記のようにすることで、ゲート電極 8 と n ドリフト領域 1 の十分な重なり面積を確保し、n ドリフト領域 1 の表面濃度を高くすることで、低オン抵抗化を図ることができる。また、p<sup>+</sup> ストップ領域 11 を所定の位置に配置することによって、ゲート電極 8 下の p ベース領域 3 に空乏層が広がることを抑制して、低帰還容量化を図ることができる。低帰還容量化を図ることで低スイッチング損失化することができる。

#### 【0026】

尚、p<sup>+</sup> ストップ領域 11 は p<sup>+</sup> コンタクト領域 4 と接続させる必要は必ずしもない。また、p<sup>+</sup> ストップ領域 11 は、n ドリフト領域 1 から伸びる空乏層が到達する位置で、n ドリフト領域 1 と n<sup>+</sup> ソース領域 5 の中間位置に島状に形成しても構わない。また、p<sup>+</sup> ストップ領域 11 は n ドリフト領域 1 の下にもぐり込ませるように形成しても構わない。

#### 〔実施例 2〕

図 3 は、この発明の第 2 実施例の M I S 型半導体装置の要部斜視断面図である。この図は横型プレーナ M O S F E T の場合の他の例におけるハーフセル部分斜視断面図 (部分俯瞰図) である。

#### 【0027】

基本的なMOSFET構造は、第1実施例と同じで、この図ではソース電極6、ゲート絶縁膜7、ゲート電極8、ドレイン電極10、酸化膜12の一部（図1（b）で示した酸化膜12）、フィールドプレート13の一部（図1（b）で示したフィールドプレート13）が省略されているが、図1と同様にnドリフト領域1、pベース領域3、p<sup>+</sup>コンタクト領域4、n<sup>+</sup>ソース領域5、n<sup>+</sup>ドレイン領域9を備えている。本例が第1実施例と異なるのはフィールドプレート13が半導体基板50表面の他に、半導体基板50内部にも埋め込まれるように設けられていることと、図3の奥行き方向にnドリフト領域1とp仕切り領域2が交互に配置した超接合層16を備えていることである。このように、フィールドプレート13は必ずしも半導体基板50の表面にある必要はなく、nドリフト領域1の側面にあっても良い。また本例のような超接合半導体装置では、埋め込まれたフィールドプレート13とp仕切り領域2を同列にしておけば、p仕切り領域2はそもそもオン電流が流れない領域なので、半導体基板50内部に非導電領域としてフィールドプレート13があっても電流経路が妨げられない。

#### 【0028】

この実施例においても、間隔d<sub>g</sub>、間隔x、ピーク位置Pおよび図示しない最小膜厚t<sub>min</sub>について、第1実施例と同様にすることで、同様の効果が得られる。

#### 〔実施例3〕

図4は、この発明の第3実施例のMIS型半導体装置の要部断面図である。この図は縦型プレーナMOSFETの場合のハーフセル部分断面図である。

本例でもp<sup>+</sup>ストッパ領域11が設けられており、空乏層がゲート電極8下のpベース領域3に広がらないようになっている。また、チャネルが形成されるpベース領域3表面では、やはり、n<sup>+</sup>ソース領域5よりもnドリフト領域1に近いところに濃度の極大値が存在し、しきい値の制御をしながら空乏層の張り出しを抑えている。

#### 【0029】

この実施例においても、間隔d<sub>g</sub>、間隔x、ピーク位置Pについて、第1実施例と同様にすることで、同様の効果が得られる。

## 〔実施例 4〕

図 5 は、この発明の第 4 実施例の M I S 型半導体装置の要部斜視断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分斜視断面図である。

本例は図 3 の横型の場合と全く同様のコンセプトで、フィールドプレート 1 3 を半導体基板 5 0 内部に埋め込んだ縦型の超接合半導体装置である。

## 【0030】

この実施例においても、間隔  $d_g$ 、間隔  $x$ 、ピーク位置 P および最小膜厚  $t_{min}$  について、第 1 実施例と同様にすることで、同様の効果が得られる。

## 〔実施例 5〕

図 6 は、この発明の第 5 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

本例はプラグ（底部に形成される  $n^+$  ドレイン領域 9 に接続する表面から伸びた導電体のこと）のような  $n$  ドリフト領域 1 を有する M O S F E T に対するものである。このような構造の場合には、 $n$  ドリフト領域 1 に隣接するトレンチ 5 1 内に酸化膜 1 2 を介してフィールドプレート 1 3 を設けている。

## 【0031】

この実施例においても、間隔  $d_g$ 、間隔  $x$ 、ピーク位置 P および最小膜厚  $t_{min}$  について、第 1 実施例と同様にすることで、同様の効果が得られる。

## 〔実施例 6〕

図 7 は、この発明の第 6 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

本例は半導体基板 5 0 の表面の  $n$  ドリフト領域 1 とプラグ様の  $n^+$  ドレイン領域 9 とを有する M O S F E T に対するものである。

## 【0032】

この実施例においても、間隔  $d_g$ 、間隔  $x$ 、ピーク位置 P および最小膜厚  $t_{min}$  について、第 1 実施例と同様にすることで、同様の効果が得られる。



## 〔実施例 7〕

図 8 は、この発明の第 7 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

本例は第 6 実施例に類似したプラグのような  $n^+$  ドレイン領域 9 a を有するものである。このような構造の場合にも、フィールドプレート 1 3 近くの  $n$  ドリフト領域 1 表面で高濃度化することが、オン抵抗を低減するのに有効な手段である。ここで、 $n^-$  層 1 5 は、空乏層を広げ、耐圧を確保する働きをする。

## 【0033】

この実施例においても、間隔  $d_g$ 、間隔  $x$ 、ピーク位置 P および最小膜厚  $t_{min}$  について、第 1 実施例と同様にすることで、同様の効果が得られる。

## 〔実施例 8〕

図 9 は、この発明の第 8 実施例の M I S 型半導体装置の要部断面図である。この図は縦型トレンチ M O S F E T の場合のハーフセル部分断面図である。

本例はトレンチゲートを有する M O S F E T に対するものである。この構造ではフィールドプレートが設けられていない。

この実施例においても、間隔  $d_g$ 、間隔  $x$  およびピーク位置 P について、第 1 実施例と同様にすることで、同様の効果が得られる。

## 〔実施例 9〕

図 10 は、この発明の第 9 実施例の M I S 型半導体装置の要部断面図である。この図は縦型トレンチ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

## 【0034】

本例は第 8 実施例と同様にトレンチゲートを有する M O S F E T に対するものであるが、ゲートよりさらに深いトレンチを有し、そのトレンチ内にフィールドプレート 1 3 が設けられている。

ここでは  $n$  ドリフト領域 1 のほかに  $p$  仕切り領域 2 を有する超接合半導体装置を示しているが、もちろん実施例 8 のような単層（ $p$  仕切り領域 2 を設けない）の  $n$  ドリフト領域 1 であっても構わない。

この実施例においても、間隔  $d_g$ 、間隔  $x$ 、ピーク位置  $P$  および最小膜厚  $t_{min}$  について、第 1 実施例と同様にすることで、同様の効果が得られる。

#### 【0035】

##### 【発明の効果】

この発明において、ゲート電極近傍のドリフト領域とベース領域の境界近くに空乏層をストップさせるストップ領域を設けたり、ゲート電極直下のドリフト領域近くでベース領域の不純物濃度を高めたり、あるいはドリフト領域に隣接してフィールドプレート下に薄い絶縁膜を設けたりすることで、ゲート絶縁膜近傍の電界を緩和して耐圧を確保し、オフ時に空乏層がゲート電極下のベース領域に広がるのを抑制して、帰還容量（ゲート・ドレイン間の容量）を低減する。

このようにすることで、ゲート電極とドリフト領域の十分な重なり面積を確保して低いオン抵抗を維持しながら、同時に低帰還容量の M I S 型半導体装置を製作することができる。

##### 【図面の簡単な説明】

##### 【図 1】

この発明の第 1 実施例の M I S 型半導体装置の要部構成であり、(a) は要部平面図、(b) は (a) の X-X 線で切断した要部断面図

##### 【図 2】

図 1 の M I S 型半導体装置の不純物濃度分布の図であり、同図 (a) は図 1 (b) の A-A 線での不純物濃度分布図、同図 (b) は同図 (a) の B-B 線での不純物濃度分布図

##### 【図 3】

この発明の第 2 実施例の M I S 型半導体装置の要部斜視断面図

##### 【図 4】

この発明の第 3 実施例の M I S 型半導体装置の要部断面図

##### 【図 5】

この発明の第 4 実施例の M I S 型半導体装置の要部斜視断面図

##### 【図 6】

この発明の第 5 実施例の M I S 型半導体装置の要部断面図

## 【図 7】

この発明の第 6 実施例の M I S 型半導体装置の要部断面図

## 【図 8】

この発明の第 7 実施例の M I S 型半導体装置の要部断面図

## 【図 9】

この発明の第 8 実施例の M I S 型半導体装置の要部断面図

## 【図 1 0】

この発明の第 9 実施例の M I S 型半導体装置の要部断面図

## 【図 1 1】

距離  $d_g$  と  $L/L_{bulk}$  の関係を示す図

## 【図 1 2】

距離  $d_g$  と電界強度を示す図

## 【図 1 3】

従来の M I S 型半導体装置の要部断面図

## 【図 1 4】

従来の M I S 型半導体装置の要部断面図

## 【図 1 5】

従来の M I S 型半導体装置の要部断面図

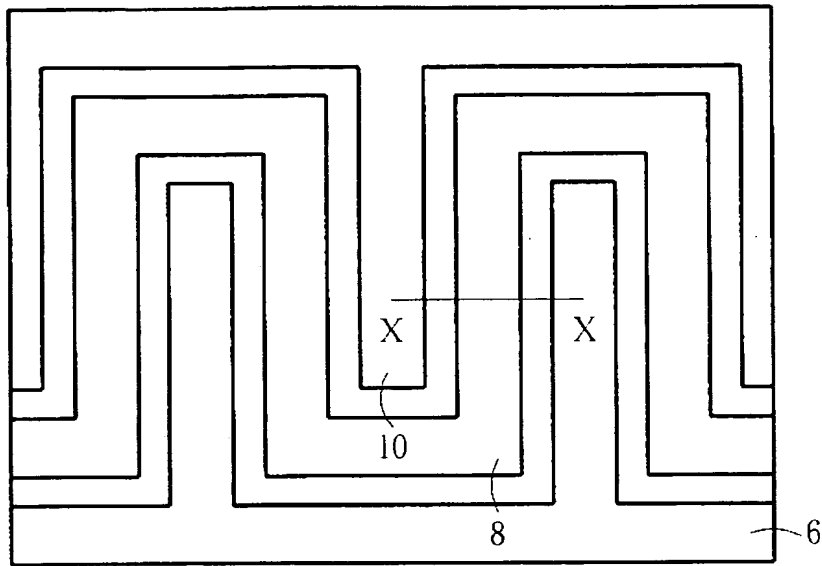
## 【符号の説明】

- 1      n ドリフト領域
- 2      p 仕切り領域
- 3      p ベース領域
- 4      p<sup>+</sup> コンタクト領域
- 5      n<sup>+</sup> ソース領域
- 6      ソース電極
- 7      ゲート絶縁膜
- 8      ゲート電極
- 9      n<sup>+</sup> ドレイン領域
- 1 0    ドレイン電極

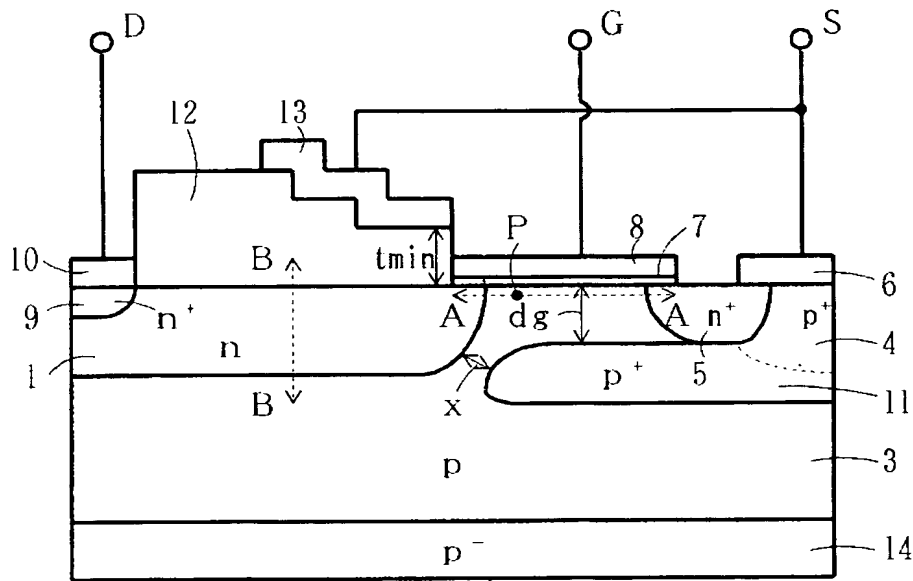
1 1	p <sup>+</sup> 層ストッパ領域
1 2	酸化膜
1 3	フィールドプレート
1 4	p <sup>-</sup> 基板
1 5	n <sup>-</sup> 層
1 6	超接合層
5 0	半導体基板
5 1	トレンチ
d g	距離 (ゲート絶縁膜と p <sup>+</sup> ストッパ領域の距離)
x	距離 (n ドレイン領域と p <sup>+</sup> ストッパ領域端の最小距離)
t m i n	厚さ (フィールドプレート下の酸化膜の最も薄い部分の厚さ)

【書類名】 図面

【図 1】



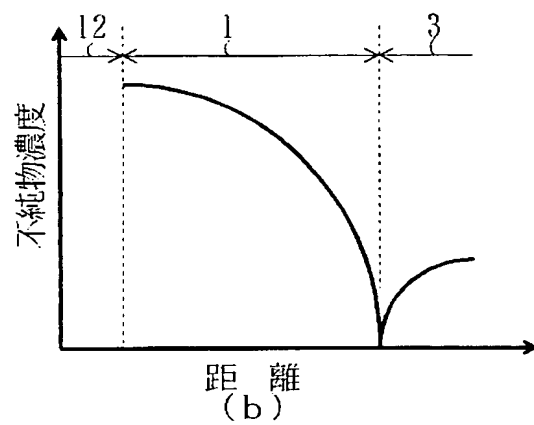
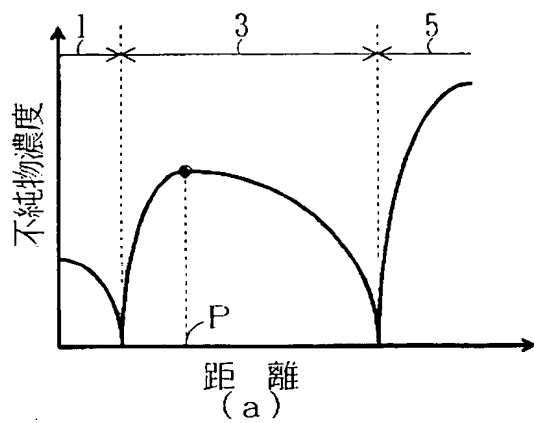
(a)



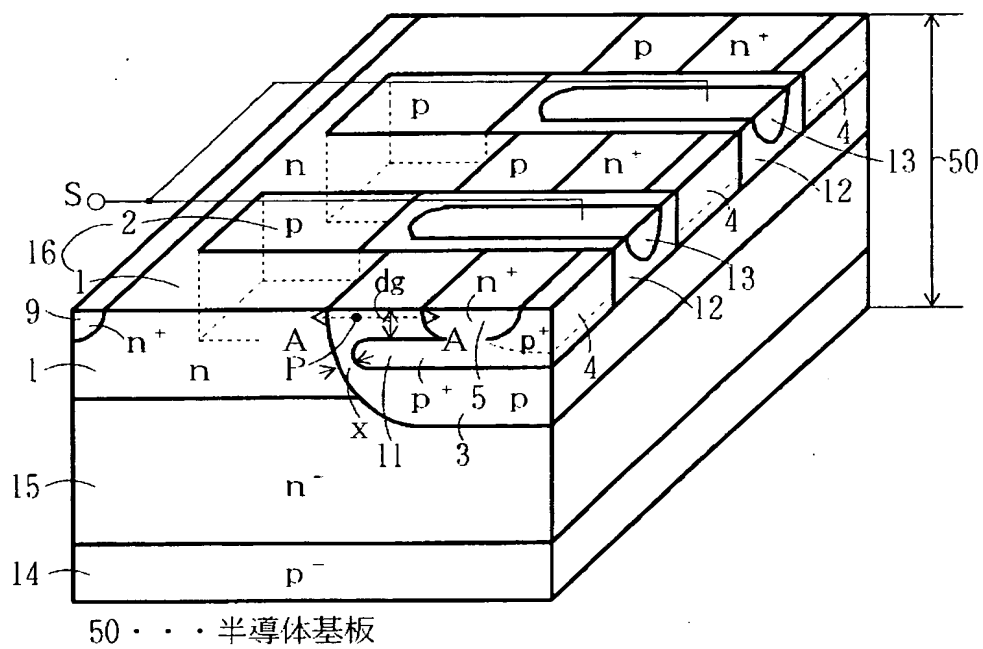
(b)

- |                                |                                 |
|--------------------------------|---------------------------------|
| 1 . . . nドリフト領域                | 8 . . . ゲート電極                   |
| 2 . . . p仕切り領域                 | 9 . . . n <sup>+</sup> ドレイン領域   |
| 3 . . . pベース領域                 | 10 . . . ドレイン電極                 |
| 4 . . . p <sup>+</sup> コンタクト領域 | 11 . . . p <sup>+</sup> ストップバ領域 |
| 5 . . . n <sup>+</sup> ソース領域   | 12 . . . 酸化膜                    |
| 6 . . . ソース電極                  | 13 . . . フィールドプレート              |
| 7 . . . ゲート絶縁膜                 | 14 . . . p <sup>-</sup> 基板      |

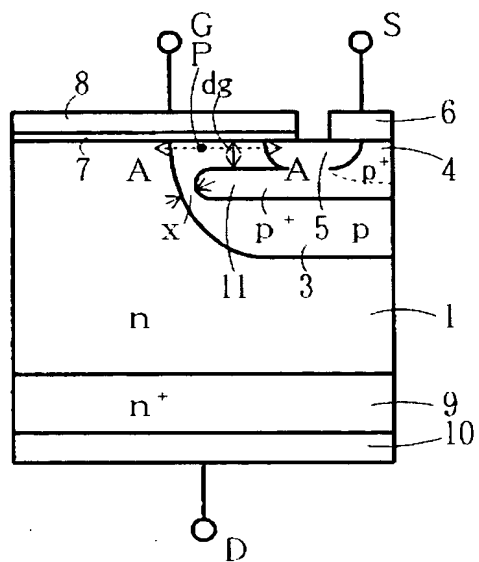
【図 2】



【図 3】



【図 4】

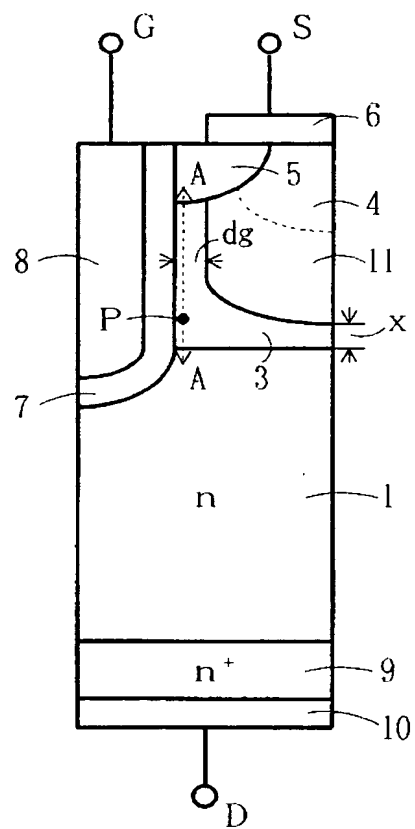






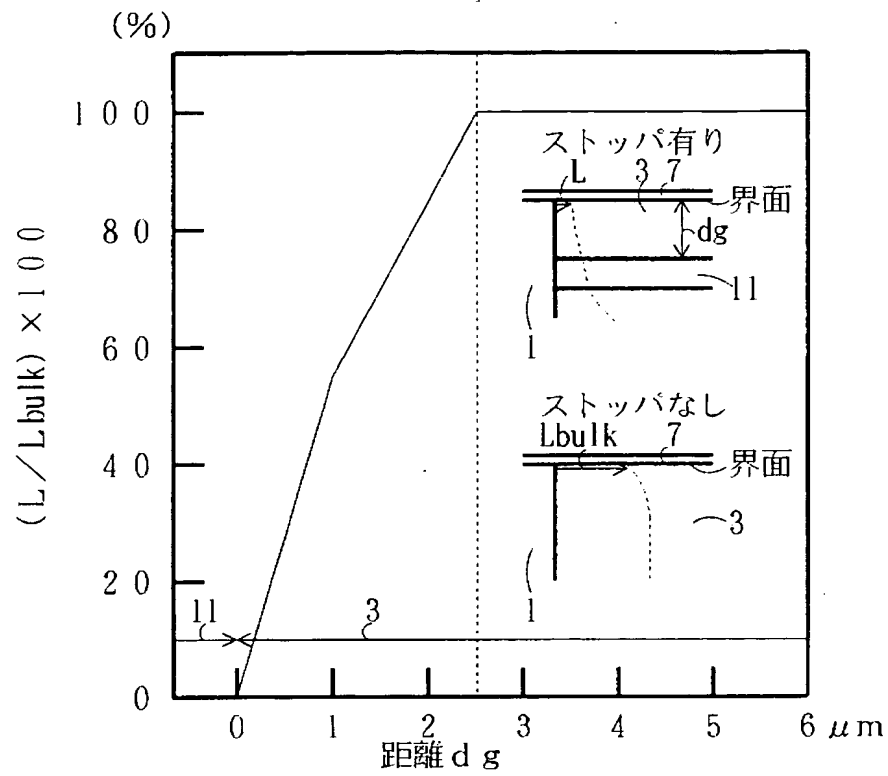


【図 9】

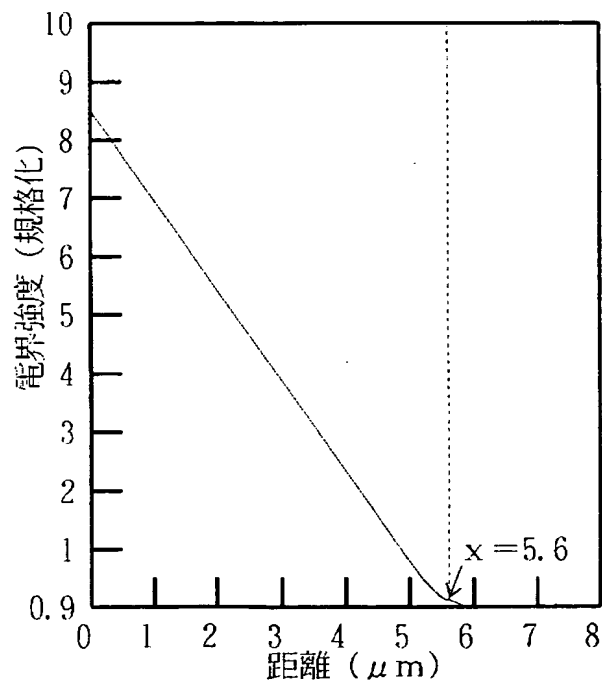




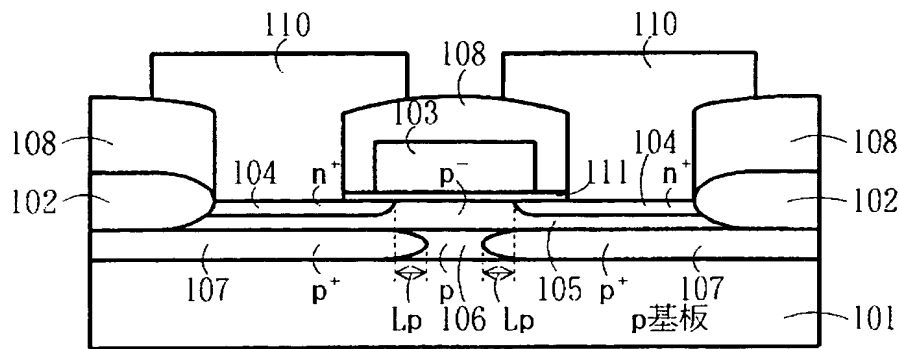
【図 11】



【図 12】



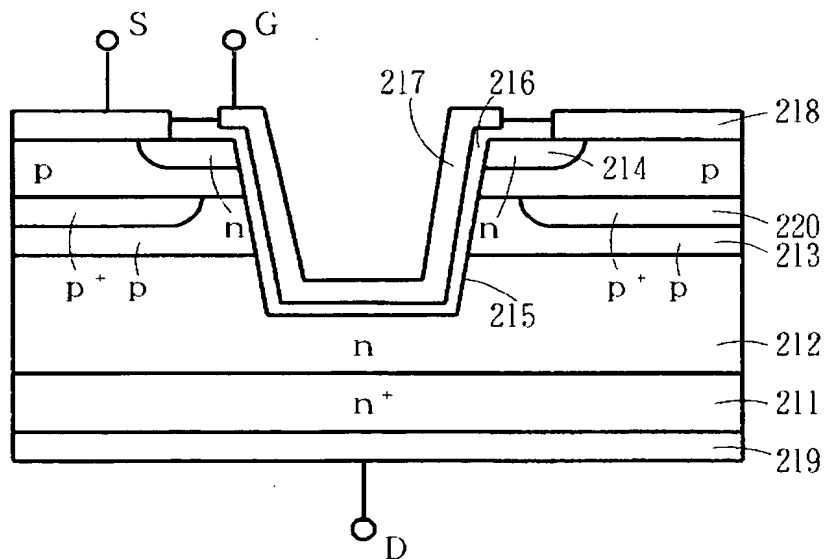
【図 13】



101・・・シリコン基板  
102・・・素子分離絶縁膜  
103・・・ゲート電極  
104・・・ソース、ドレイン  
105・・・表面低濃度層

106・・・高濃度埋込領域  
107・・・高濃度埋込領域  
108・・・層間絶縁膜  
110・・・アルミ配線層  
111・・・ゲート絶縁膜

【図 14】



211・・・n<sup>+</sup> サブストレート  
212・・・n ドリフト層  
213・・・p ベース層  
214・・・n ソース層  
215・・・トレンチ

216・・・ゲート酸化膜  
217・・・ゲート電極  
218・・・ソース電極  
219・・・ドレイン電極  
220・・・p<sup>+</sup> 埋め込み領域



【書類名】 要約書

【要約】

【課題】 ゲート電極とドリフト領域の十分な重なり面積を確保して低オン抵抗化を図り、且つ、低帰還容量化を図ることで低スイッチング損失化を図ることができるM I S型半導体装置を提供すること。

【解決手段】 p ベース層 3 内に p<sup>+</sup> ストップ領域 1 1 を形成し、p ベース領域 3 の不純物濃度のピーク位置 P を n ドリフト領域 1 側に位置させ、n ドリフト領域 1 上の酸化膜 1 2 上にフィールドプレート 1 3 を形成し、ゲート電極 8 側の酸化膜 1 2 の厚さを薄くし、ソース電極 6 とフィールドプレート 1 3 を電氣的に接続する。間隔 d g を 2 . 5 μ m 以下とし、間隔 x を 5 . 6 μ m 以下とし、酸化膜 1 2 の最小の厚さをゲート絶縁膜 7 の厚さ以上とし、V b / E c 以下とすることで、所定の耐圧を確保しながら、低オン抵抗化と低帰還容量化を図ることができる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）  
【整理番号】 02P01498  
【提出日】 平成15年11月 7日  
【あて先】 特許庁長官 殿  
【事件の表示】  
    【出願番号】 特願2003- 63161  
【承継人】  
    【識別番号】 503361248  
    【氏名又は名称】 富士電機デバイステクノロジー株式会社  
【承継人代理人】  
    【識別番号】 100088339  
    【弁理士】  
    【氏名又は名称】 篠部 正治  
    【電話番号】 03-5435-7241  
【提出物件の目録】  
    【物件名】 権利の承継を証明する書面 1  
    【援用の表示】 特願 2 0 0 3 - 3 2 5 9 4 9 の出願人名義変更届（一般承継）に  
                    添付した会社分割承継証明書  
    【物件名】 承継人であることを証明する書面 1  
    【援用の表示】 特願 2 0 0 2 - 2 9 8 0 6 8 の出願人名義変更届（一般承継）に  
                    添付した登記簿謄本  
    【包括委任状番号】 0315472



特願 2 0 0 3 - 0 6 3 1 6 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 3 4 ]

1. 変更年月日 1 9 9 0 年 9 月 5 日  
[変更理由] 新規登録  
住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号  
氏 名 富士電機株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 2 日  
[変更理由] 名称変更  
住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号  
氏 名 富士電機ホールディングス株式会社

特願 2 0 0 3 - 0 6 3 1 6 1

出 願 人 履 歴 情 報

識別番号 [ 5 0 3 3 6 1 2 4 8 ]

1. 変更年月日	2 0 0 3 年 1 0 月 2 日
[変更理由]	新規登録
住 所	東京都品川区大崎一丁目 1 1 番 2 号
氏 名	富士電機デバイステクノロジー株式会社